

STRUCTURI COMBINAȚIONALE CU MULTIPLEXOARE ȘI DEMULTIPLEXOARE (MSI)

1. Scopul lucrării

Studiul structurilor numerice fundamentale realizate cu circuite MSI (Medium Scale Integration) și însușirea metodelor de analiză și sinteză a acestor structuri.

2. Aparate necesare

- panou logic
- sursă de alimentare reglabilă
- voltmetru electronic (sau tip MAVO-35)
- cordoane de legătură

3. Considerații teoretice

Funcțiile binare pot fi implementate cu ajutorul unor structuri combinaționale MSI, fără a mai fi necesară minimizarea lor.

O astfel de structură este **decodificatorul** (DCD). Decodificatorul este un circuit integrat pe scară medie, care identifică un cod de intrare prin activarea unei singure linii de ieșire. Dacă circuitul are n variabile binare de intrare, atunci numărul liniilor de ieșire este 2^n . Figura 3.1 arată structura circuitului pentru $n=2$.

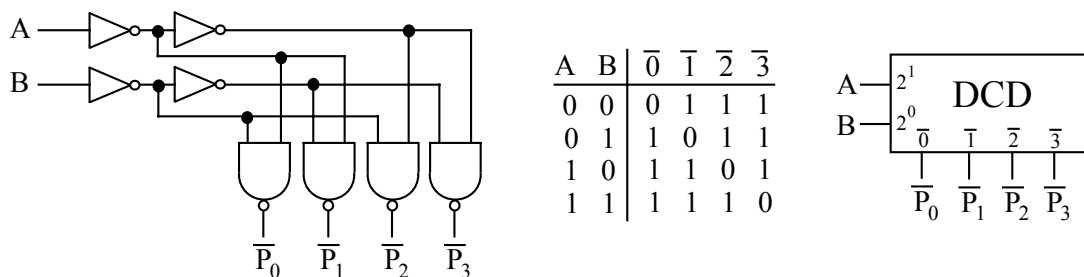


Fig. 3.1 Structura, tabelul de adevăr și reprezentarea decodificatorului pentru $n=2$

Demultiplexorul (DMUX) este un circuit construit pe structura decodificatorului, care permite transmiterea datelor de pe o singură cale de intrare pe una din cele 2^n căi de ieșire. Selecția liniilor de ieșire se face prin aplicarea unui cod binar pe n linii de intrare, care devin acum intrări de selecție. Structura demultiplexorului pentru $n = 2$ este dată în figura 3.2.

Multiplexorul (MUX) realizează funcția inversă demultiplexorului, adică permite transmiterea datelor de la una din cele 2^n căi de intrare la o singură cale de ieșire. Selecția unei anumite intrări de date se face prin aplicarea unui cod binar pe n linii de intrare, linii care sunt intrările de selecție. Structura multiplexorului pentru $n = 2$ este dată în figura 3.3.

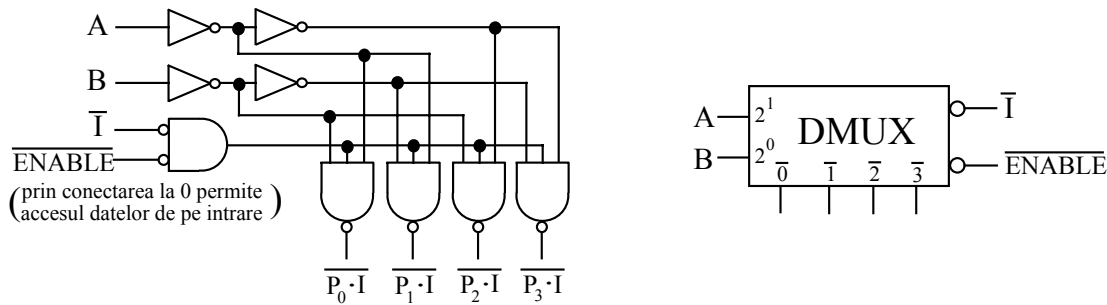


Fig. 3.2 Structura și reprezentarea demultiplexorului pentru $n=2$

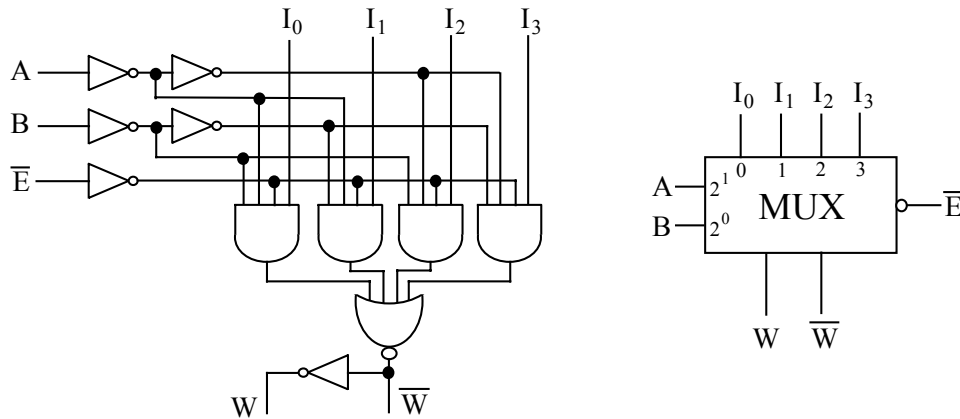


Fig. 3.3 Structura și reprezentarea multiplexorului pentru $n=2$

Aceste structuri combinaționale MSI implementează toți termenii produs fundamentali ai unei funcții cu număr de variabile mai mic sau egal cu numărul de intrări de selecție n . Din acest motiv, implementarea funcțiilor binare nu necesită operații de minimizare, ci numai alegerea corectă a conexiunilor. Dacă numărul de variabile ale funcției este mai mic sau egal cu numărul de intrări de selecție n , atunci implementarea se face direct, iar în caz contrar mai sunt necesare o serie de transformări algebrice pentru a găsi o altă structură adițională formată de obicei din porți, care să completeze lipsa intrărilor de selecție de la MUX sau DMUX.

Exemplu: Să se implementeze cu demultiplexor și apoi cu multiplexor următoarea funcție binară: $f = P_0 + P_1 + P_2 + P_6 + P_7$.

Pentru implementarea cu DMUX ne interesează termenii \overline{P}_i , deci scriem funcția sub forma $f = \overline{P_0} \cdot \overline{P_1} \cdot \overline{P_2} \cdot \overline{P_6} \cdot \overline{P_7}$

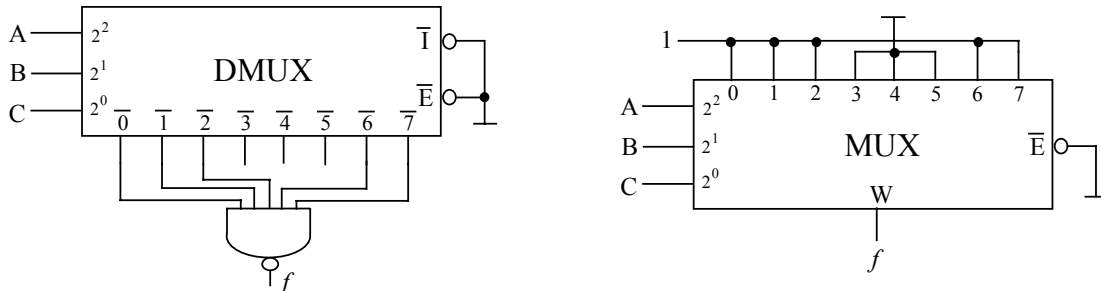


Fig. 3.4 Implementarea funcției cu demultiplexor și cu multiplexor

4. Modul de lucru

Dacă panoul logic nu este prevăzut cu sursă de alimentare de la rețea, se alimentează cu o tensiune de 5V de la o sursă de tensiune reglabilă. **ATENȚIE LA RESPECTAREA POLARITĂȚII ȘI LA VALOAREA INICIALĂ A TENSIUNII!** Datorită diodei din rețeaua de protecție se măsoară cu un voltmetru tensiunea între pinii de alimentare indicați de catalog (la circuitele integrate care conțin porți logice, între pinii 14 și 7). Se pornește de la 0V și se mărește tensiunea de la sursă, până ce valoarea măsurată ajunge la +5V. Valoarea limită absolută de catalog este de +7V. Depășirea valorii limită absolute va distruge cu o mare probabilitate circuitele integrate!

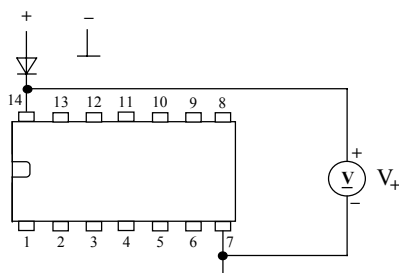


Fig. 4.1 *Stabilirea tensiunii corecte de alimentare a panoului logic*

Circuitele integrate MSI au deja o complexitate mai mare și utilizarea lor la implementarea unor scheme electrice nu se mai poate face fără consultarea foii de catalog.

Panoul logic conține două circuite integrate MSI realizate în tehnologie TTL standard. Circuitul **SN 74150** este un multiplexor cu 4 intrări de selecție, deci cu 16 căi de intrare, iar circuitul **SN 74155** este un circuit cu funcție dublă: fie un demultiplexor cu 3 intrări de selecție, fie două demultiplexoare cu câte 2 intrări de selecție.

Foile de catalog furnizează informația completă pentru utilizarea corectă a acestor circuite integrate. Chiar dacă circuitele sunt fabricate de alt producător, ele trebuie să respecte standardul elaborat de firma **TEXAS INSTRUMENTS**. Foile de catalog care conțin numai informațiile strict necesare pentru utilizarea celor 2 circuite integrate sunt prezentate în paginile următoare. În cazul structurilor combinaționale, aceste informații strict necesare se referă la configurația pinilor și la tabelele de adevăr.

Observăm că pinul ENABLE din descrierea teoretică de mai sus se numește aici STROBE și are rolul de a permite accesul datelor la ieșire. El trebuie conectat la masă (0 logic), după cum rezultă din tabelele de adevăr. O altă deosebire importantă constă în notarea variabilelor aplicate pe intrările de selecție. La sinteza structurilor combinaționale cu porți logice, sau la prezentarea teoretică de mai sus, s-a notat cu A variabila mai semnificativă, iar cea mai puțin semnificativă cu B, C sau D, funcție de numărul total de variabile. Convenția adoptată de firma TEXAS INSTRUMENTS, după cum observăm din tabelele de adevăr, este exact invers: C sau D este intrarea de selecție mai semnificativă, iar A este intrarea de selecție cea mai puțin semnificativă. În fond este vorba de o simplă convenție de care trebuie însă să ținem seamă pentru folosirea corectă a circuitelor. Iată de ce este obligatorie consultarea foii de catalog atunci când proiectăm diverse structuri folosind circuite integrate numerice!

TYPES SN74150, SN74151A, SN74LS151, SN74S151
 SN54150, SN54151A, SN54LS151, SN54S151
 DATA SELECTORS/MULTIPLEXERS
 DECEMBER 1972 - REVISED DECEMBER 1983

- '150 Selects One-of-Sixteen Data Sources
- Others Select One-of-Eight Data Sources
- Performs Parallel-to-Serial Conversion
- Permits Multiplexing from N Lines to One Line
- Also For Use as Boolean Function Generator
- Input-Clamping Diodes Simplify System Design
- Package Options Include Standard Plastic (N) and Ceramic (J) 300-mil Dual-In-Line Packages, Plastic Small Outline (D) and Ceramic Chip Carrier (FK) Package

TYPE	TYPICAL AVERAGE PROPAGATION DELAY TIME DATA INPUT TO W OUTPUT	TYPICAL POWER DISSIPATION
'150	13 ns	200 mW
'151A	8 ns	145 mW
'LS151	13 ns	30 mW
'S151	4.5 ns	225 mW

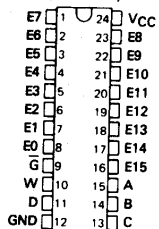
description

These monolithic data selectors/multiplexers contain full on-chip binary decoding to select the desired data source. The '150 selects one-of-sixteen data sources; the '151A, 'LS151 and 'S151 select one-of-eight data sources. The '150, '151A, 'LS151 and 'S151 have a strobe input which must be at a low logic level to enable these devices. A high level at the strobe forces the W output high, and the Y output (as applicable) low.

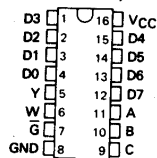
The '151A, 'LS151, and 'S151 feature complementary W and Y outputs whereas the '150 has an inverted W output, only.

The '151A incorporates address buffers which have symmetrical propagation delay times through the complementary paths. This reduces the possibility of transients occurring at the output(s) due to changes made at the select inputs, even when the '151A outputs are enabled (i.e., strobe low).

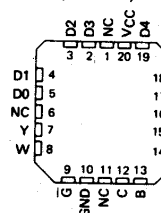
SN54150... J PACKAGE
 SN74150...DW OR N PACKAGE
 (TOP VIEW)



SN54151A, SN54LS151, SN54S151 ... J PACKAGE
 SN74151A ... N PACKAGE
 SN74LS151, SN74S151 ... D OR N PACKAGE
 (TOP VIEW)



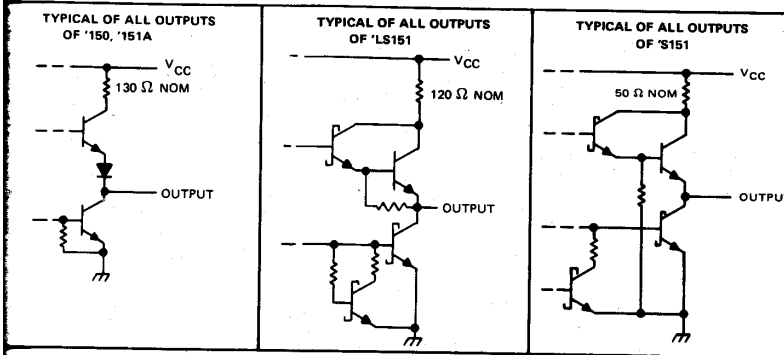
SN54LS151, SN54S151 ... FK PACKAGE
 (TOP VIEW)



NC - No internal connection

TYPES SN74150, SN74151A, SN74LS151, SN74S151
 SN54150, SN54151A, SN54LS151, SN54S151
 DATA SELECTORS/MULTIPLEXERS

Schematics of inputs and outputs



'150
 FUNCTION TABLE

INPUTS				STROBE	OUTPUT
D	C	B	A		
X	X	X	X	H	H
L	L	L	L	L	E0
L	L	L	H	L	E1
L	L	H	L	L	E2
L	L	H	H	L	E3
L	H	L	L	L	E4
L	H	L	H	L	E5
L	H	H	L	L	E6
L	H	H	H	L	E7
H	L	L	L	L	E8
H	L	L	H	L	E9
H	L	L	L	L	E10
H	L	L	H	L	E11
H	L	L	H	L	E12
H	H	L	L	L	E13
H	H	L	H	L	E14
H	H	H	L	L	E15

'151A, 'LS151, 'S151
 FUNCTION TABLE

INPUTS				OUTPUTS	
SELECT			STROBE	Y	W
C	B	A	G		
X	X	X	H	L	H
L	L	L	L		D0
L	L	H	L		D1
L	H	L	L		D2
L	H	H	L		D3
H	L	L	L		D4
H	L	H	L		D5
H	H	L	L		D6
H	H	H	L		D7

H = high level, L = low level, X = irrelevant
 E0, E1, ..., E15 = the complement of the level of the respective E input
 D0, D1, ..., D7 = the level of the D respective input

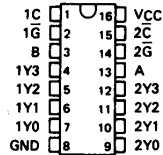
PRODUCTION DATA
 This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



TYPES SN74155, SN74156, SN74LS155A, SN74LS156
 SN54155, SN54156, SN54LS155A, SN54LS156
 DUAL 2-LINE TO 4-LINE DECODERS/DEMULTIPLXERS
 MARCH 1974 - REVISED DECEMBER 1983

- Applications:
 - Dual 2-to 4-Line Decoder
 - Dual 1-to 4-Line Demultiplexer
 - 3-to 8-Line Decoder
 - 1-to 8-Line Demultiplexer
- Individual Strobes Simplify Cascading for Decoding or Demultiplexing Larger Words
- Input Clamping Diodes Simplify System Design
- Choice of Outputs:
 - Totem Pole ('155, 'LS155A)
 - Open-Collector ('156, 'LS156)

SN54155, SN54156, SN54LS155A, SN54LS156 ... J PACKAGE
 SN74155, SN74156 ... N PACKAGE
 SN74LS155A, SN74LS156 ... D OR N PACKAGE
 (TOP VIEW)



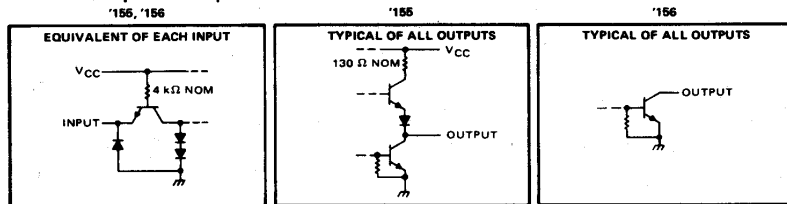
TYPES	TYPICAL AVERAGE PROPAGATION DELAY 3 GATE LEVELS	TYPICAL POWER DISSIPATION
'155, '156	21 ns	125 mW
'LS155A	18 ns	31 mW
'LS156	32 ns	31 mW

description

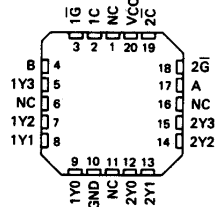
These monolithic transistor-transistor-logic (TTL) circuits feature dual 1-line-to-4-line demultiplexers with individual strobes and common binary-address inputs in a single 16-pin package. When both sections are enabled by the strobes, the common binary-address inputs sequentially select and route associated input data to the appropriate output of each section. The individual strobes permit activating or inhibiting each of the 4-bit sections as desired. Data applied to input 1C is inverted at its outputs and data applied at 2C is not inverted through its outputs. The inverter following the 1C data input permits use as a 3-to-8-line decoder or 1-to-8-line demultiplexer without external gating. Input clamping diodes are provided on all of these circuits to minimize transmission-line effects and simplify system design.

Series 54 and 54LS are characterized for operation over the full military temperature range of -55°C to 125°C. Series 74 and 74LS are characterized for operation from 0°C to 70°C.

schematics of inputs and outputs



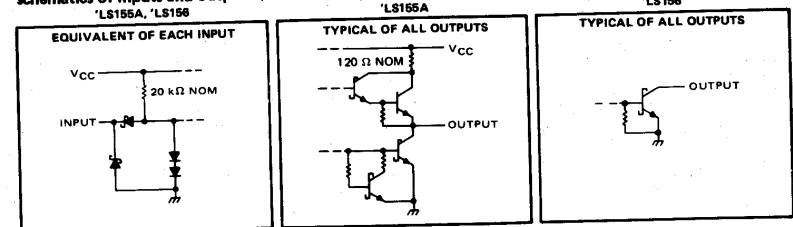
SN54LS155A, SN54LS156 ... FK PACKAGE
 (TOP VIEW)



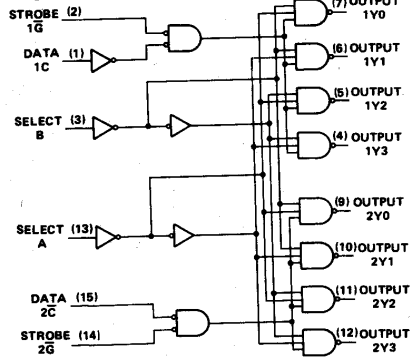
NC - No internal connection

TYPES SN74155, SN74156, SN74LS155A, SN74LS156
 SN54155, SN54156, SN54LS155A, SN54LS156
 DUAL 2-LINE TO 4-LINE DECODERS/DEMULTIPLXERS

schematics of inputs and outputs (continued)



logic diagram

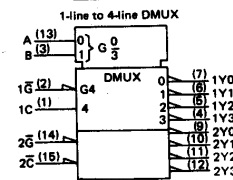
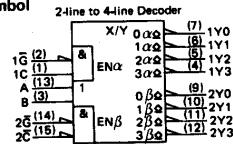


FUNCTION TABLES
 2-LINE-TO-4-LINE DECODER
 OR 1-LINE-TO-4-LINE DEMULTIPLEXER

INPUTS				OUTPUTS			
SELECT	STROBE	DATA		1Y0	1Y1	1Y2	1Y3
B	A	1G	1C				
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

INPUTS				OUTPUTS			
SELECT	STROBE	DATA		2Y0	2Y1	2Y2	2Y3
B	A	2G	2C				
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
L	H	L	H	H	L	H	H
H	L	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

logic symbol



Pin numbers shown on logic notation are for D, J or N packages.

FUNCTION TABLE
 3-LINE-TO-8-LINE DECODER
 OR 1-LINE-TO-8-LINE DEMULTIPLEXER

INPUTS			STROBE	OUTPUTS							
SELECT	STROBE	OR DATA	G	(0)	(1)	(2)	(3)	(4)	(5)	(6)	(7)
C [†]	B	A	G [‡]	2Y0	2Y1	2Y2	2Y3	1Y0	1Y1	1Y2	1Y3
X	X	X	H	H	H	H	H	H	H	H	H
L	L	L	L	L	H	H	H	H	H	H	H
L	L	H	L	L	H	L	H	H	H	H	H
L	H	L	L	L	H	L	H	L	H	H	H
L	H	H	L	L	H	L	H	L	H	L	H
H	L	L	L	L	H	L	H	L	H	L	H
H	L	H	L	L	H	L	H	L	H	L	H
H	H	L	L	L	H	L	H	L	H	L	H
H	H	H	L	L	H	L	H	L	H	L	L

[†]C = inputs 1C and 2C connected together
[‡]G = inputs 1G and 2G connected together
 H = high level, L = low level, X = irrelevant

PRODUCTION DATA
 This document contains information current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.



4.1. Se consideră funcția binară definită de tabelul de adevăr din figura 4.2. Se implementează folosind circuitul integrat **SN 74155** ca demultiplexor cu 8 căi de ieșire și se verifică funcționarea circuitului obținut folosind tabelul de adevăr.

C	B	A	f
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	1

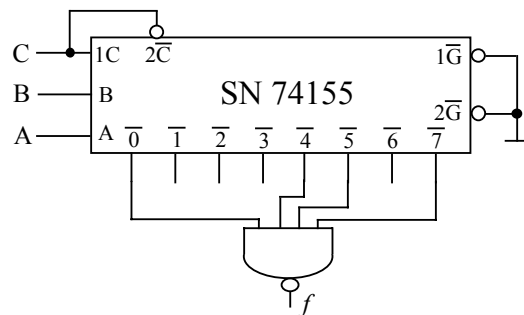


Fig. 4.2 Implementarea unei funcții binare cu circuitul SN 74155

4.2. Un juriu format din 4 persoane decide asupra reușitei unui concurent prin majoritate de voturi, semnalizate prin aprinderea unui element de afișaj. Se implementează funcția care comandă aprinderea LED-ului folosind circuitul integrat **SN 74150**. Segmentele elementului de afișaj de pe panou se aprind pentru 0 logic.

D	C	B	A	f
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	0
1	0	1	0	0
1	0	1	1	1
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

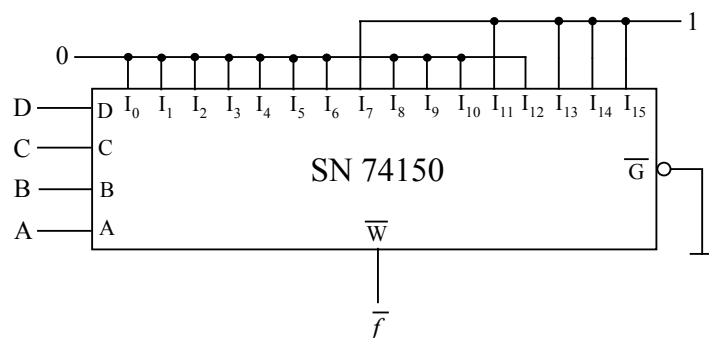


Fig. 4.3 Implementarea funcției de vot majoritar cu circuitul SN 74150

4.3. Se repetă punctul 4.2 folosind circuitul integrat **SN 74155** ca demultiplexor cu 8 căi de ieșire și se verifică funcționarea circuitului obținut folosind tabelul de adevăr dat în figura 4.3. Sinteza schemei logice este prezentată la punctul 5.1.

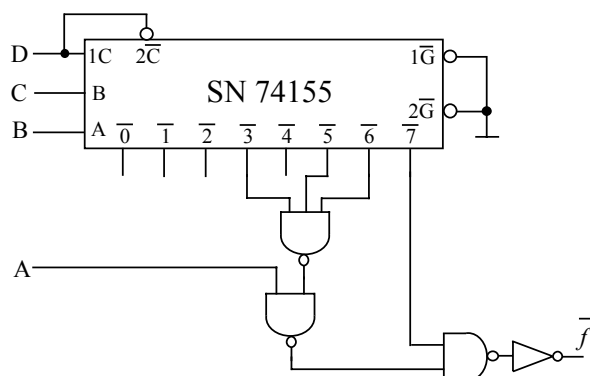


Fig. 4.4 Implementarea funcției de vot majoritar cu circuitul SN 74155 și porți

5. Probleme rezolvate

5.1. Să se facă sinteza funcției reprezentată prin tabelul de adevăr din figura 4.3 cu ajutorul unui demultiplexor cu 8 căi de ieșire.

Rezolvare:

Funcția poate fi scrisă în forma canonică disjunctivă sub forma: $f = P_7 + P_{11} + P_{13} + P_{14} + P_{15}$. Observăm însă că numărul de variabile ale funcției este mai mare decât numărul intrărilor de selecție a demultiplexorului. Din acest motiv vom face o serie de transformări algebrice care să pună în evidență mintermenii unei funcții de 3 variabile, mintermeni care sunt disponibili la ieșirile demultiplexorului. Cea de-a patra variabilă va fi introdusă într-o logică combinațională suplimentară, realizată de obicei cu porți logice.

$$\begin{aligned} f &= P_7 + P_{11} + P_{13} + P_{14} + P_{15} = \overline{D}CBA + D\overline{C}BA + DC\overline{B}A + DCB\overline{A} + DCBA = \\ &= A(\overline{D}CB + D\overline{C}B + DC\overline{B} + DCB) + \overline{A}DCB = A(P_3' + P_5' + P_6' + P_7') + \overline{A} \cdot P_7' = \\ &= A(P_3' + P_5' + P_6') + P_7' = A \cdot \overline{P_3'} \cdot \overline{P_5'} \cdot \overline{P_6'} + P_7' = A \cdot \overline{\overline{P_3'} \cdot \overline{P_5'} \cdot \overline{P_6'}} + P_7' \end{aligned}$$

Expresia algebrică obținută permite implementarea funcției f , conform schemei din figura 4.4. Este evident că oricare alte 3 variabile puteau fi aplicate pe intrările de selecție ale demultiplexorului, cu condiția refacerii calculelor de mai sus.

5.2. Să se proiecteze un convertor de cod din cod binar în cod Gray pentru numere reprezentate pe 3 biți, folosind:

- un decodificator cu 3 intrări de selecție.
- multiplexoare cu câte 2 intrări de selecție.
- un număr minim de circuite.

Rezolvare:

Două reprezentări succesive în cod Gray diferă printr-un singur bit. Tabelul din figura 5.1 indică corespondența cod binar - cod Gray, iar schema logică din figura 5.1 prezintă soluția de la punctul a. Pentru sinteza schemelor logice în probleme, propunem ca variabila A să fie aplicată pe intrarea de selecție cea mai semnificativă.

A	B	C	A _G	B _G	C _G
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	1
0	1	1	0	1	0
1	0	0	1	1	0
1	0	1	1	1	1
1	1	0	1	0	1
1	1	1	1	0	0

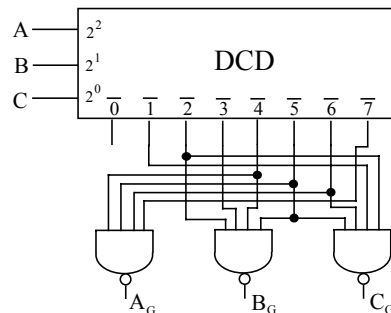


Fig. 5.1 Convertor de cod binar - Gray cu decodificator și porți

b) Se pot folosi multiplexoare cu câte 2 intrări de selecție prin transformările:

$$\begin{aligned} A_G &= \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + ABC = (\overline{A}B + AB) \cdot \overline{C} + (\overline{A}B + AB) \cdot C = P_2' + P_3' \\ B_G &= \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + ABC = (\overline{A}B + AB) \cdot \overline{C} + (\overline{A}B + AB) \cdot C = P_1' + P_2' \\ C_G &= \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + ABC = (P_0' + P_2') \cdot C + (P_1' + P_3') \cdot \overline{C} \end{aligned}$$

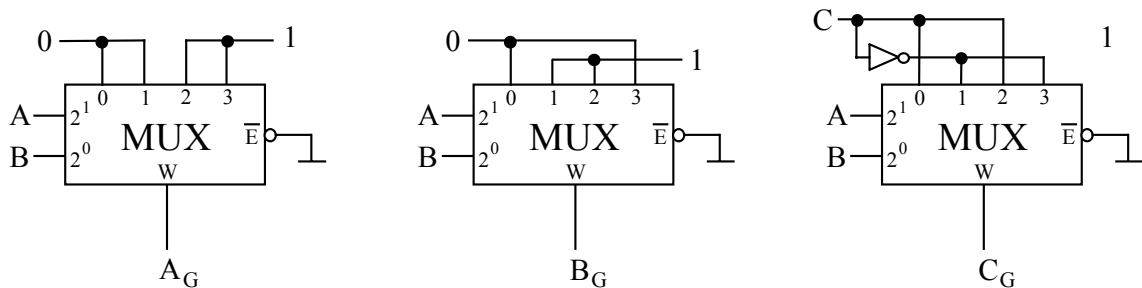


Fig. 5.2 Convertor de cod binar - Gray cu multiplexoare

Schema logică din figura 5.2 prezintă o soluție a problemei. Sunt posibile și alte soluții, funcție de alegerea variabilelor care se aplică pe intrările de selecție.

c) Implementarea cea mai simplă este cu porți logice. Prin minimizare cu ajutorul diagramei Veitch-Karnaugh rezultă următoarele relații:

$$A_G = A, \quad B_G = \bar{A}B + A\bar{B} = A \oplus B, \quad C_G = \bar{B}C + B\bar{C} = B \oplus C.$$

Deci implementarea cea mai simplă este cu două porți logice SAU-EXCLUSIV.

6. Probleme propuse

6.1. Să se implementeze un sumator complet de 1 bit folosind multiplexoare cu 4 căi de intrare. Să se implementeze același circuit folosind un decodificator cu 2 intrări de selecție și să se compare cele două soluții.

6.2. O structură numerică combinațională are 6 intrări și o ieșire. Două din cele 6 intrări sunt intrări de selecție care stabilesc modul de funcționare al circuitului, iar celelalte 4 sunt intrări de date. Tabelul din figura 6.1 explică funcționarea circuitului. Să se reprezinte schema logică a circuitului folosind:

a) un multiplexor cu 2 intrări de selecție și un număr minim de porți logice.

b) un demultiplexor cu 2 intrări de selecție și un număr minim de porți logice ȘI-NU.

F_0	F_1	acțiune	
0	0	$Q = 1$ dacă	$A_3 A_2 A_1 A_0$ este multiplu de 2
0	1	$Q = 1$ dacă	$A_3 A_2 A_1 A_0$ este multiplu de 4
1	0	$Q = 1$ dacă	$A_3 A_2 A_1 A_0 = 13$
1	1	$Q = 1$ dacă	$A_3 = 1$

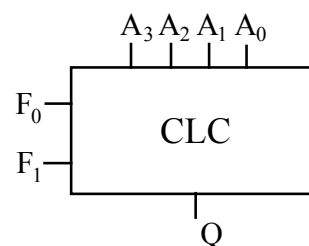


Fig. 6.1 Tabelul care descrie funcționarea circuitului

6.3. Să se proiecteze un demultiplexor cu 32 căi de ieșire, folosind numai demultiplexoare cu 8 căi de ieșire.

6.4. Să se realizeze o extindere a capacității de multiplexare de la 8 la 16 căi, folosind multiplexoare cu 8 căi de intrare și un număr minim de porți ȘI-NU.